

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 6
H01L 27/115

(11) 공개번호 특1999-0048773
(43) 공개일자 1999년07월05일

(21) 출원번호 10-1997-0067545
(22) 출원일자 1997년12월10일

(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 서명규
서울특별시 성동구 성수2가1동 331-92
(74) 대리인 신영무
최승민

심사청구: 없음

(54) 플래쉬 이이피롬 셀 어레이

요약

본 발명은 비트 라인 분할(bit line divide) 구조를 갖는 플래쉬 이이피롬 셀 어레이(flash EEPROM cell array)에 관한 것으로, 메모리 셀 블록을 로컬 비트 라인 선택 회로에 의해 제 1 및 2 메모리 셀 블록으로 나누어 비트 라인을 로컬 비트 라인(local bit line)으로 분할되도록 하고, 제 1 메모리 셀 블록의 2개의 로컬 비트 라인과 제 2 메모리 셀 블록의 2개의 로컬 비트 라인을 1개의 글로벌 비트 라인(global bit line)으로 공유시켜 로컬 비트 라인 선택 회로에 구비된 선택 트랜지스터들의 스위칭 작용에 의해 4개의 로컬 비트 라인중 적어도 하나를 선택할 수 있도록 한 플래쉬 이이피롬 셀 어레이에 관한 것이다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 종래 플래쉬 이이피롬 셀 어레이를 설명하기 위한 회로도.

도 2는 본 발명의 실시예에 따른 플래쉬 이이피롬 셀 어레이를 설명하기 위한 회로도.

도 3은 도 2에 도시된 회로도의 주요부분을 나타낸 플래쉬 이이피롬 셀 어레이의 레이아웃.

<도면의 주요 부분에 대한 부호의 설명>

100 및 200: 메모리 셀 블록 10 및 110: 제 1 메모리 셀 블록

20 및 120: 제 2 메모리 셀 블록 30 및 130: 로컬 비트 라인 선택 회로

40 및 140: X-디코더 50 및 150: Y-디코더

160: 소자 분리 영역

SL: 소오스 라인 WL: 워드 라인

LB: 로컬 비트 라인 GB: 글로벌 비트 라인

QL: 선택 라인 Q: 선택 트랜지스터

M: 메모리 셀 DD: 도통부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 플래쉬 이이피롬 셀 어레이(flash EEPROM cell array)에 관한 것으로, 특히 비트 라인을 로컬 비트 라인(local bit line)으로 분할(divide)하고, 4개의 로컬 비트 라인을 1개의 글로벌 비트 라인(global bit line)에 쇼트(short)시켜 스위칭 수단에 의해 4개의 로컬 비트 라인중 어느 하나를 선택할 수 있도록 한 플래쉬 이이피롬 셀 어레이에 관한 것이다.

일반적으로, 플래쉬 이이피롬 셀 어레이는 다수의 메모리 셀이 행렬을 이루고 있다. 다수의 메모리 셀에서, 워드 라인들(word lines)은 X-디코더에 연결되고, 비트 라인들은 Y-디코더에 연결된다. 플래쉬 이이피롬의 프로그램(program), 소거(erase) 또는 독출(read) 동작은 워드 라인과 비트 라인 각각의 전기적 신호에 의해 선택된 메모리 셀에서 수행된다.

종래 플래쉬 이이피롬 셀 어레이는 각 메모리 셀의 드레인에 비트 라인이 연결되도록 구성되기 때문에 메모리 셀을 선택하기 위해 비트 라인에 전압을 인가할 경우 전압이 인가된 비트 라인 부분에서 캐패시턴스(capacitance)가 발생된다. 1개의 비트 라인은 셀 어레이에서 차지하는 면적이 넓어 캐패시턴스가 많이 발생되고, 캐패시턴스는 동작 속도를 느리게 하는 요인으로 작용한다. 따라서, 비트 라인 부분에서 발생하는 캐패시턴스를 줄여 소자의 동작 속도를 증가시키기 위해, 비트 라인분할 구조가 적용되고 있다.

도 1은 비트 라인 분할 구조를 갖는 플래쉬 이이피롬 셀 어레이를 설명하기 위한 회로도이다.

행렬로 구성된 다수의 메모리 셀을 갖는 메모리 셀 블록(memory cell block; 100)을 제 1 및 2 메모리 셀 블록(10 및 20)으로 나누고, 제 1 및 2 메모리 셀 블록(10 및 20)사이에 로컬 비트 라인 선택 회로(local bit line select circuit; 30)를 구비시킨다. 메모리 셀 블록(100)은, 설명의 편의상, 1개의 소오스 라인(SL1)이 2개의 메모리 셀을 공유하는 부분만을 도시하였다.

제 1 메모리 셀 블록(10)은 제 1 내지 $n/2$ 워드 라인들(WL1 내지 WL $n/2$; 이하, "n"은 양의 짝수라고 정의함)과 제 1 내지 4 로컬 비트 라인들(LB1 내지 LB4)로 구성된다. 제 2 메모리 셀 블록(20)은 제 $n/2+1$ 내지 n 워드 라인들(WL $n/2+1$ 내지 WL n)과 제 5 내지 8 로컬 비트 라인들(LB5 내지 LB8)로 구성된다. 로컬 비트 라인 선택 회로(30)는 제 1 및 2 선택 라인들(QL1 및 QL2)로 구성된다. 제 1 선택 라인(QL1)은 제 1 내지 4 선택 트랜지스터(Q1 내지 Q4)가 구비되며, 제 2 선택 라인(QL2)은 제 5 내지 8 선택 트랜지스터(Q5 내지 Q8)가 구비된다. 로컬 비트 라인 선택 회로(30)에는 제 1 내지 4 글로벌 비트 라인들(GB1 내지 GB4)이 연결된다.

제 1 로컬 비트 라인(LB1)은 제 1 선택 트랜지스터(Q1)의 소오스에 연결되고, 제 5 로컬 비트 라인(LB5)은 제 5 선택 트랜지스터(Q5)의 소오스에 연결되며, 제 1 글로벌 비트 라인(GB1)은 제 1 및 5 선택 트랜지스터(Q1 및 Q5)의 드레인에 연결된다. 따라서, 제 1 글로벌 비트 라인(GB1)은 제 1 및 5 선택 트랜지스터(Q1 및 Q5)의 스위칭 작용에 의해 제 1 및 5 로컬 비트 라인(LB1 및 LB5)과 전기적으로 연결된다.

상기의 연결 방식으로 제 2 글로벌 비트 라인(GB2)은 제 2 및 6 선택 트랜지스터(Q2 및 Q6)의 스위칭 작용에 의해 제 2 및 6 로컬 비트 라인(LB2 및 LB6)과 전기적으로 연결되고, 제 3 글로벌 비트 라인(GB3)은 제 3 및 7 선택 트랜지스터(Q3 및 Q7)의 스위칭 작용에 의해 제 3 및 7 로컬 비트 라인(LB3 및 LB7)과 전기적으로 연결되며, 제 4 글로벌 비트 라인(GB4)은 제 4 및 8 선택 트랜지스터(Q4 및 Q8)의 스위칭 작용에 의해 제 4 및 8 로컬 비트 라인(LB4 및 LB8)과 전기적으로 연결된다.

제 1 내지 n 워드 라인들(WL1 내지 WL n)과 제 1 및 2 선택 라인들(QL1 및 QL2)은 각각 X-디코더(40)에 연결된다. 제 1 내지 4 글로벌 비트 라인들(GB1 내지 GB4) 각각은 Y-디코더(50)에 연결된다.

상기와 같이 구성된 비트 라인 분할 구조를 갖는 플래쉬 이이피롬의 동작 방법은 다음과 같다.

제 1 내지 n 워드 라인들(WL1 내지 WLn)중 적어도 어느 하나에 전압을 인가하고, 제 1 및 2 선택 라인들(QL1 및 QL2)중 적어도 어느 하나에 전압을 인가하고, 제 1 내지 4 글로벌 비트 라인들(GB1 내지 GB4)중 적어도 어느 하나에 전압을 인가하여 메모리 셀 블록(100)의 다수의 메모리 셀중 적어도 어느 하나가 선택되어 프로그램, 소거 또는 독출 동작을 수행하게 된다.

예를 들어, 제 1 워드 라인(WL1)에 전압을 인가하고, 제 1 선택 라인(QL1)에 전압을 인가하여 제 1 내지 4 선택 트랜지스터(Q1 내지 Q4)를 온(on) 상태가 되게한 상태에서, 제 1 글로벌 비트 라인(GB1)에 전압을 인가할 경우, 제 1 글로벌 비트 라인(GB1)은 제 1 선택 트랜지스터(Q1)를 통해 제 1 로컬 비트 라인(LB1)과 전기적으로 연결되어 제 1 메모리 셀(M1)이 프로그램, 소거 또는 독출 동작을 수행한다.

이와 같이 1개의 글로벌 비트 라인에 2개의 로컬 비트 라인이 쇼트 되도록 하여 원하는 로컬 비트 라인을 선택할 수 있다. 비트 라인을 분할함에 의해 캐패시턴스를 줄일 수 있어 소자의 동작 속도를 증대시킬 수 있다. 그러나, 셀 어레이 부분에서 로컬 비트 라인 선택 회로가 차지하는 면적과 X-디코더의 면적에서 제 1 및 2 선택 라인이 연결되는 부분의 면적만큼 증가되어 소자의 고집적화를 실현하기 어려운 문제가 있다. 또한 2개의 로컬 비트 라인 사이마다 1개의 글로벌 비트 라인을 콘택 시켜야 하기 때문에 콘택 공정 마진을 확보하기가 어려워 비트 라인 분할 구조를 하이 테크놀로지 셀(high technology cell)에 적용하기 어려운 문제가 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 비트 라인에 의해 발생하는 캐패시턴스를 줄여 소자의 동작 속도를 증대시키면서 Y-디코더가 차지하는 면적을 줄여 소자의 고집적화를 실현할 수 있는 플래쉬 이이퍼롬 셀 어레이를 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명의 플래쉬 이이퍼롬 셀 어레이는 다수의 워드 라인들과 다수의 로컬 비트 라인들로 이루어진 제 1 및 2 메모리 셀 블록들; 상기 제 1 메모리 셀 블록과 상기 제 2 메모리 셀 블록 사이에 제 1 내지 4 선택 라인들로 이루어진 로컬 비트 라인 선택 회로; 상기 로컬 비트 라인 선택 회로를 통해 상기 다수의 로컬 비트 라인들중 상기 제 1 메모리 셀 블록의 2개의 로컬 비트 라인들과 상기 제 2 메모리 셀 블록의 2개의 로컬 비트 라인들이 공유되도록 형성된 다수의 글로벌 비트 라인들; 상기 다수의 워드 라인들과 상기 제 1 내지 4 선택 라인들이 연결된 X-디코더; 및 상기 다수의 글로벌 비트 라인들이 연결된 Y-디코더를 포함하여 구성된다.

발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 2는 본 발명의 실시예에 의한 비트 라인 분할 구조를 갖는 플래쉬 이이퍼롬 셀 어레이를 설명하기 위한 회로도이고, 도 3은 도 2에 도시된 회로도의 주요부분을 나타낸 플래쉬 이이퍼롬 셀 어레이의 레이아웃이다. 도 2 및 도 3에서 동일한 도면 부호는 동일 요소를 의미한다.

행렬로 구성된 다수의 메모리 셀을 갖는 메모리 셀 블록(200)을 제 1 및 2 메모리 셀 블록(110 및 120)으로 나누고, 제 1 및 2 메모리 셀 블록(110 및 120)사이에 로컬 비트 라인 선택 회로(130)를 구비시킨다. 메모리 셀 블록(200)은, 설명의 편의상, 1개의 소오스 라인(SL1)이 2개의 메모리 셀을 공유하는 부분만을 도시하였다.

제 1 메모리 셀 블록(110)은 제 1 내지 $n/2$ 워드 라인들(WL1 내지 $WLn/2$; 이하, " n "은 양의 짝수라고 정의함)과 제 1 내지 4 로컬 비트 라인들(LB1 내지 LB4)로 구성된다. 제 2 메모리 셀 블록(120)은 제 $n/2+1$ 내지 n 워드 라인들($WLn/2+1$ 내지 WLn)과 제 5 내지 8 로컬 비트 라인들(LB5 내지 LB8)로 구성된다. 로컬 비트 라인 선택 회로(130)는 제 1 내지 4 선택 라인들(QL1 내지 QL4)로 구성된다. 제 1 선택 라인(QL1)은 제 1 및 3 선택 트랜지스터(Q1 및 Q3)가 구비되고, 제 2 선택 라인(QL2)은 제 2 및 4 선택 트랜지스터(Q2 및 Q4)가 구비되며, 제 3 선택 라인(QL3)은 제 5 및 7 선택 트랜지스터(Q5 및 Q7)가 구비되고, 제 4 선택 라인(QL4)은 제 6 및 8 선택 트랜지스터(Q6 및 Q8)가 구비된다. 로컬 비트 라인 선택 회로(130)에는 제 1 및 2 글로벌 비트 라인들(GB1 및 GB2)이 연결된다.

제 1 로컬 비트 라인(LB1)은 제 1 선택 트랜지스터(Q1)의 소오스에 연결되고, 제 2 로컬 비트 라인(LB2)은 제 2 도통부(DD2)를 통해 제 2 선택 트랜지스터(Q2)의 소오스에 연결되며, 제 5 로컬 비트 라인(LB5)은 제 5 도통부(DD5)를 통해 제 5 선택 트랜지스터(Q5)의 소오스에 연결되고, 제 6 로컬 비트 라인(LB6)은 제 6 선택 트랜지스터(Q6)의 소오스에 연결된다. 제 1 글로벌 비트 라인(GB1)은 제 1, 2, 5 및 6 선택 트랜지스터(Q1, Q2, Q5 및 Q6)의 드레인에 연결되며, 제 1 선택 트랜지스터(Q1) 및 제 6 선택 트랜지스터(Q6) 각각의 드레인과는 제 1 도

통부(DD1) 및 제 6 도통부(DD6)를 통해 연결된다. 따라서, 제 1 글로벌 비트 라인(GB1)은 제 1, 2, 5 및 6 선택 트랜지스터(Q1, Q2, Q5 및 Q6)의 스위칭 작용에 의해 제 1, 2, 5 및 6 로컬 비트 라인(LB1, LB2, LB5 및 LB6)과 전기적으로 연결된다.

상기의 연결 방식과 마찬가지로, 제 3 로컬 비트 라인(LB3)은 제 3 선택 트랜지스터(Q3)의 소오스에 연결되고, 제 4 로컬 비트 라인(LB4)은 제 4 도통부(DD4)를 통해 제 4 선택 트랜지스터(Q4)의 소오스에 연결되며, 제 7 로컬 비트 라인(LB7)은 제 7 도통부(DD7)를 통해 제 7 선택 트랜지스터(Q7)의 소오스에 연결되고, 제 8 로컬 비트 라인(LB8)은 제 8 선택 트랜지스터(Q8)의 소오스에 연결된다. 제 2 글로벌 비트 라인(GB2)은 제 3, 4, 7 및 8 선택 트랜지스터(Q3, Q4, Q7 및 Q8)의 드레인에 연결되며, 제 3 선택 트랜지스터(Q3) 및 제 8 선택 트랜지스터(Q8) 각각의 드레인과는 제 3 도통부(DD3) 및 제 8 도통부(DD8)를 통해 연결된다. 따라서, 제 2 글로벌 비트 라인(GB2)은 제 3, 4, 7 및 8 선택 트랜지스터(Q3, Q4, Q7 및 Q8)의 스위칭 작용에 의해 제 3, 4, 7 및 8 로컬 비트 라인(LB3, LB4, LB7 및 LB8)과 전기적으로 연결된다.

제 1 내지 8 도통부(DD1 내지 DD8)는 제 1 내지 8 선택 트랜지스터(Q1 내지 Q8)를 제조할 때, 일반적인 트랜지스터로 형성되는데, 이 트랜지스터 부분을 셀 소오스/드레인 마스크를 사용하여 개방시키고, 불순물 이온을 고에너지 및 고농도로 주입하여 항상 전류가 통할 수 있도록 하여 형성된다.

제 1 내지 n 워드 라인들(WL1 내지 WLn)과 제 1 내지 4 선택 라인들(QL1 내지 QL4)은 각각 X-디코더(140)에 연결된다. 제 1 및 2 글로벌 비트 라인들(GB1 및 GB2) 각각은 Y-디코더(150)에 연결된다.

도 3에서 미설명 부호(160)는 소자 분리 영역이다.

상기와 같이 구성된 비트 라인 분할 구조를 갖는 플래쉬 이이피롬의 동작 방법은 다음과 같다.

제 1 내지 n 워드 라인들(WL1 내지 WLn)중 적어도 어느 하나에 전압을 인가하고, 제 1 내지 4 선택 라인들(QL1 내지 QL4)중 적어도 어느 하나에 전압을 인가하고, 제 1 및 2 글로벌 비트 라인들(GB1 및 GB2)중 적어도 어느 하나에 전압을 인가하여 메모리 셀 블록(200)의 다수의 메모리 셀중 적어도 어느 하나가 선택되어 프로그램, 소거 또는 독출 동작을 수행하게 된다.

예를 들어, 제 1 워드 라인(WL1)에 전압을 인가하고, 제 1 선택 라인(QL1)에 전압을 인가하여 제 1 및 3 선택 트랜지스터(Q1 및 Q3)를 온(on) 상태가 되게 한 상태에서, 제 1 글로벌 비트 라인(GB1)에 전압을 인가할 경우, 제 1 글로벌 비트 라인(GB1)은 제 1 도통부(DD1)와 제 1 선택 트랜지스터(Q1)를 통해 제 1 로컬 비트 라인(LB1)과 전기적으로 연결되어 제 1 메모리 셀(M1)이 프로그램, 소거 또는 독출 동작을 수행한다.

발명의 효과

상술한 바와 같이, 본 발명은 1개의 글로벌 비트 라인에 4개의 로컬 비트 라인이 쇼트 되도록 하여 원하는 로컬 비트 라인을 선택할 수 있고, 비트 라인을 분할함에 의해 캐패시턴스를 줄일 수 있어 소자의 동작 속도를 증대시킬 수 있다. 셀 어레이 부분에서 로컬 비트 라인 선택 회로가 차지하는 부분만큼 면적이 증가되나, 증가된 면적은 글로벌 비트 라인 수를 감소시키므로 Y-디코더가 차지하는 부분의 면적을 줄일 수 있어 약 10% 정도의 여유 면적을 더 확보할 수 있고, 이로 인하여 소자의 고집적화를 실현할 수 있다. 또한, 4개의 로컬 비트 라인 사이마다 1개의 글로벌 비트 라인을 콘택 시키기 때문에 콘택 공정 마진이 확보되어 하이 테크놀로지 셀(high technology cell)에서도 비트 라인 분할 구조를 적용시킬 수 있다.

(57)청구의 범위

청구항1

다수의 워드 라인들과 다수의 로컬 비트 라인들로 이루어진 제 1 및 2 메모리 셀 블록들;

상기 제 1 메모리 셀 블록과 상기 제 2 메모리 셀 블록사이에 제 1 내지 4 선택 라인들로 이루어진 로컬 비트 라인 선택 회로;

상기 로컬 비트 라인 선택 회로를 통해 상기 다수의 로컬 비트 라인들중 상기 제 1 메모리 셀 블록의 2개의 로컬 비트 라인들과 상기 제 2 메모리 셀 블록의 2개의 로컬 비트 라인들이 공유되도록 형성된 다수의 글로벌 비트 라인들;

상기 다수의 워드 라인들과 상기 제 1 내지 4 선택 라인들이 연결된 X-디코더; 및

상기 다수의 글로벌 비트 라인들이 연결된 Y-디코더를 포함하여 구성된 것을 특징으로 하는 플래쉬 이이피롬 셀 어레이.

청구항2

제 1 항에 있어서, 상기 다수의 로컬 비트 라인들은 1개의 소오스 라인을 중심으로 양쪽에 2개씩 형성된 것을 특징으로 하는 플래쉬 이이피롬 셀 어레이.

청구항3

제 1 항에 있어서, 상기 제 1 내지 4 선택 라인들 각각에는 선택 트랜지스터들이 구비되되, 제 1 선택 라인의 선택 트랜지스터는 상기 글로벌 비트 라인과 상기 제 1 메모리 셀 블록의 2개의 로컬 비트 라인들중 어느 하나와의 사이에 구비되고, 제 2 선택 라인의 선택 트랜지스터는 상기 글로벌 비트 라인과 상기 제 1 메모리 셀 블록의 2개의 로컬 비트 라인들중 다른 하나와의 사이에 구비되며, 제 3 선택 라인의 선택 트랜지스터는 상기 글로벌 비트 라인과 상기 제 2 메모리 셀 블록의 2개의 로컬 비트 라인들중 어느 하나와의 사이에 구비되고, 제 4 선택 라인의 선택 트랜지스터는 상기 글로벌 비트 라인과 상기 제 2 메모리 셀 블록의 2개의 로컬 비트 라인들중 다른 하나와의 사이에 구비된 것을 특징으로 하는 플래쉬 이이피롬 셀 어레이.

청구항4

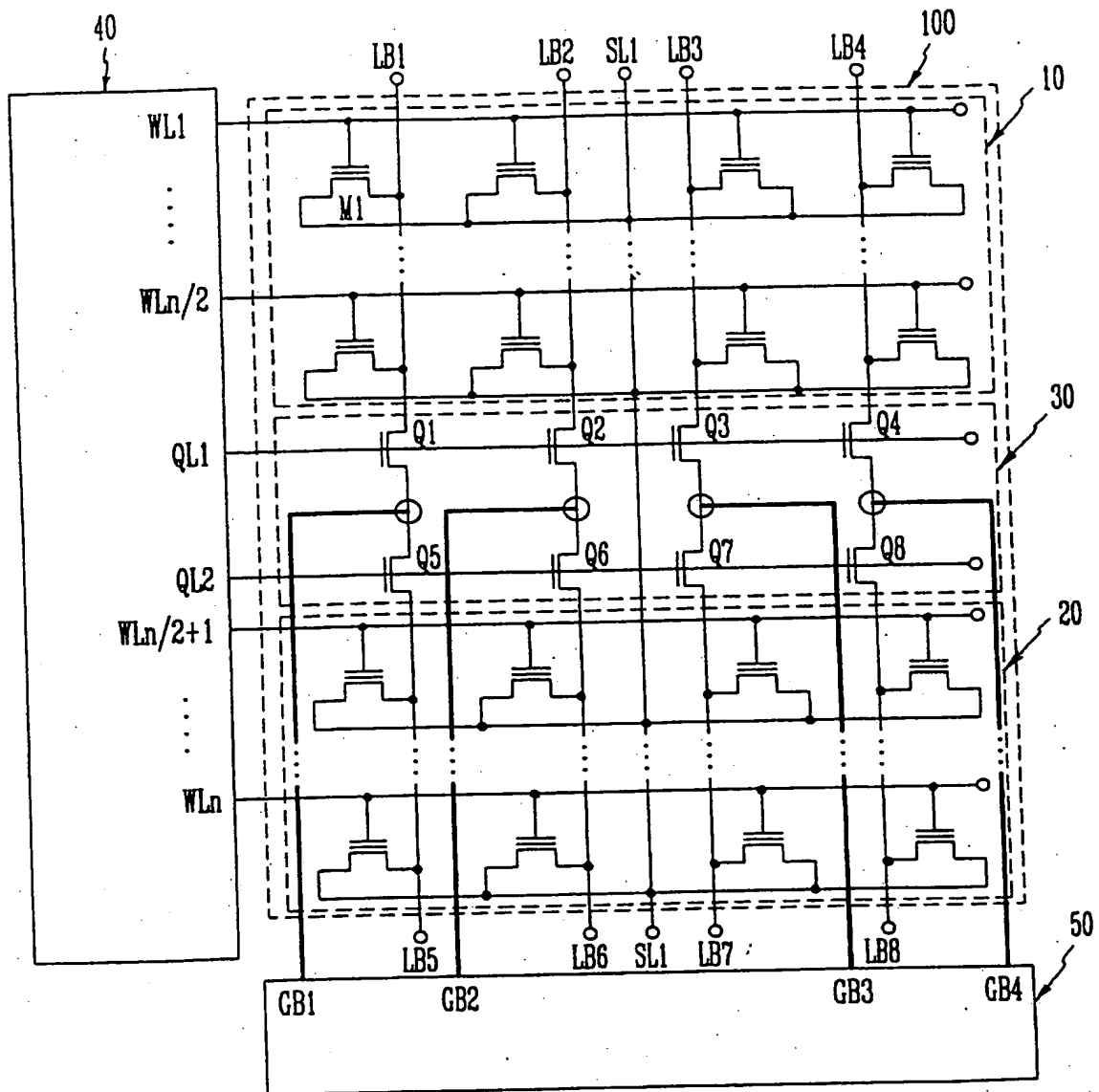
제 3 항에 있어서, 상기 로컬 비트 라인들 각각은 상기 선택 트랜지스터들 각각의 소오스에 연결되고, 상기 글로벌 비트 라인은 상기 선택 트랜지스터들 각각의 드레인에 연결된 것을 특징으로 하는 플래쉬 이이피롬 셀 어레이.

청구항5

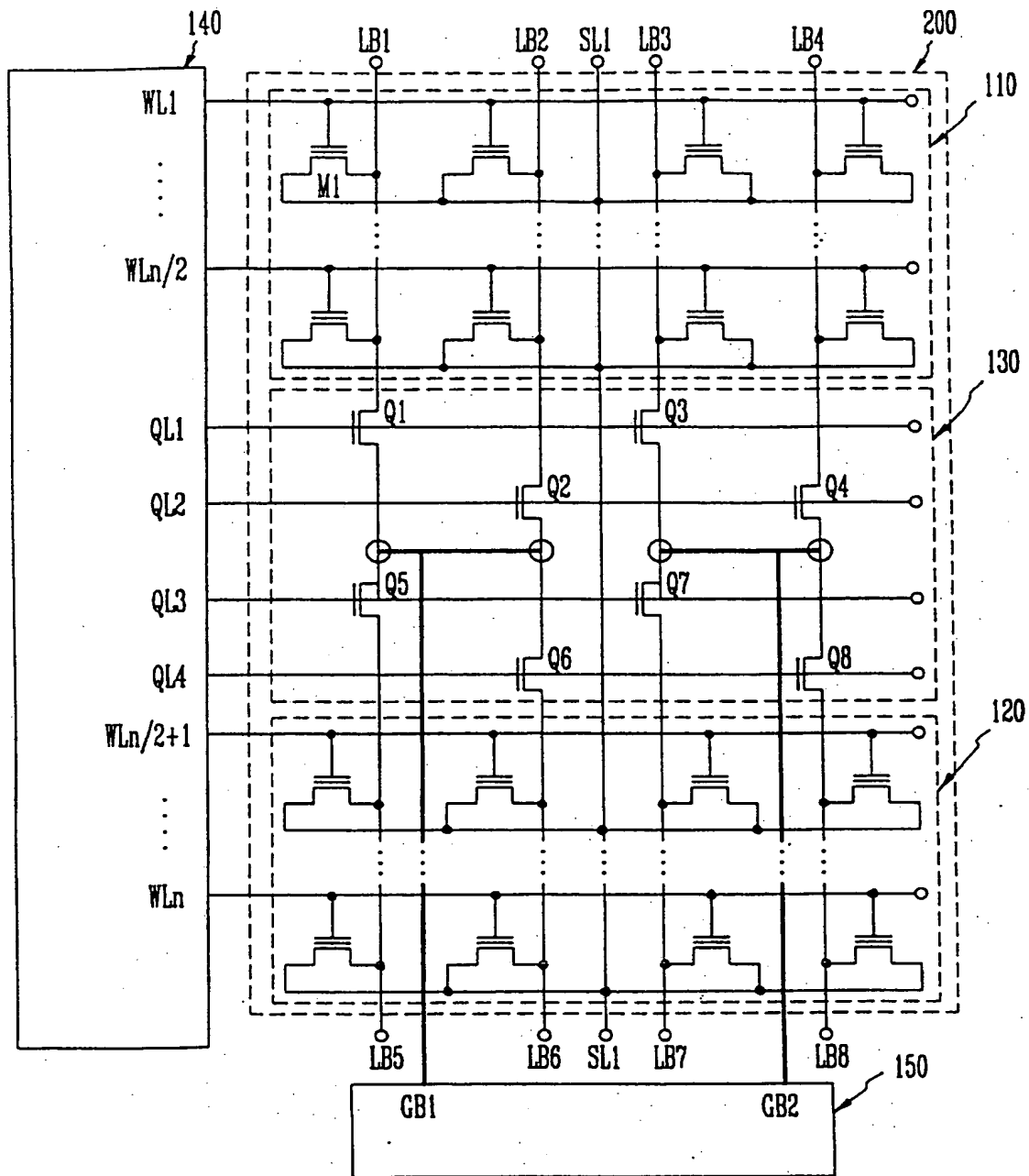
제 3 항에 있어서, 상기 선택 트랜지스터들의 스위칭 작용에 의해 상기 로컬 비트 라인들중 적어도 어느 하나가 선택되는 것을 특징으로 하는 플래쉬 이이피롬 셀 어레이.

도면

도면1



도면2



도면3

